(19) 世界知的所有権機関 国際事務局



(43) 国際公開日 2004 年10 月14 日 (14.10.2004)

PCT

(10) 国際公開番号 WO 2004/088750 A1

(51) 国際特許分類7:

H01L 27/092, 27/06, 29/786

(21) 国際出願番号:

PCT/JP2004/003208

(22) 国際出題日:

2004年3月11日(11.03.2004)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特顧2003-095116 2003年3月31日(31.03.2003) J

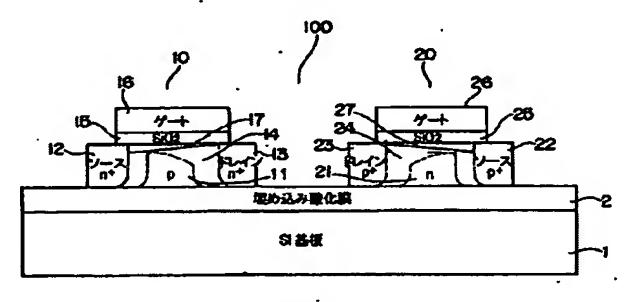
(71) 出願人(米国を除く全ての指定国について): 財団 法人大阪産業扱興機構 (JURIDICAL FOUNDATION OSAKA INDUSTRIAL PROMOTION ORGANIZA-TION) [JP/JP]; 〒5400029 大阪府大阪市中央区本町 福2番5号マイドームおおさか内 Osaka (JP). (72) 発明者; および

- (75) 発明者/出願人 (米国についてのみ): 秋濃 俊郎 (AKINO, Toshiro) [JP/JP]; 〒6496433 和欧山県那賀 郡打田町西三谷 9 3 0 近畿大学生物理工学部内 Wakayama (JP).
- (74) 代理人: 河宮治、外(KAWAMIYA, Osamu et al.); 〒5400001 大阪府大阪市中央区城見 1 丁目 3 番 7 号 I M P ビル 青山特許事務所 Osaka (JP).
- (81) 指定菌(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: LATERAL BIPOLAR CMOS INTEGRATED CIRCUIT

(54) 発明の名称: ラティラルパイポーラ CMOS 集積回路



- 1...SI SUBSTRATE
- 2...BURIED OXIDE FILM
- 12...SOURCE
- 13...DRAIN 16...GATE
- 22...SOURCE
- 23...DRAIN
- 26...GATE

(57) Abstract: An inverter circuit is disclosed which comprises four terminals: a gate input terminal (Vin) connected to gates of an n-channel MOS transistor and a p-channel MOS transistor; an output terminal (Vout) connected to drains of the n-channel MOS transistor and the p-channel MOS transistor; a p-type base terminal connected to a p-type substrate of the n-channel MOS transistor; and a n-type base terminal connected to a n-type substrate of the p-channel MOS transistor. The n-channel MOS transistor operates in a hybrid mode of the operation mode of the MOS transistor and that of an npn lateral bipolar transistor existing within the n-channel MOS transistor. The p-channel MOS transistor operates in a hybrid mode of the operation mode of the MOS transistor and that of a pnp lateral bipolar transistor existing within the p-channel MOS transistor.

(57) 要約: インパータ回路が、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタのゲートに接続されたゲート入力端子Vinと、ドレインに接続された出力結子Voutと、nチャネルMOSトランジスタのp型サブストレートに接続されたp型ベース端子と、pチャネルMOSトランジス

/鐃葉有》

O 2004/088750 A

BEST AVAILABLE COPY